

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08255903 A

(43) Date of publication of application: 01.10.96

(51) Int. Cl. H01L 29/78
H01L 21/336

(21) Application number: 07056329

(71) Applicant: SEIKO EPSON CORP

(22) Date of filing: 15.03.95

(72) Inventor: TAKAMURA TAKASHI

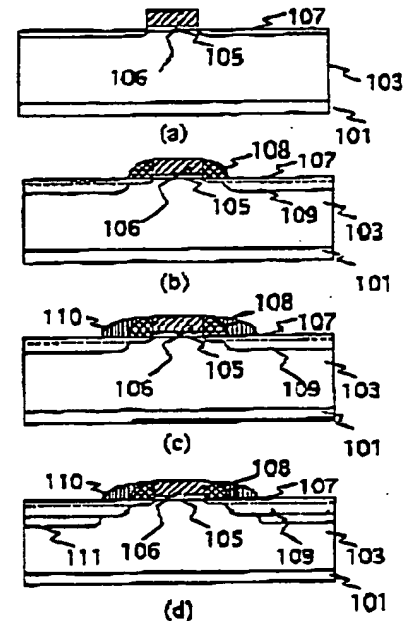
(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57) Abstract

PURPOSE: To obtain a semiconductor device having excellent punch-through characteristics and low interconnection resistance by providing a first region on the outer circumference of the gate, a second region having lower resistivity than the first region on the outer circumference of the first region, and a third region having lower resistivity than the second region on the outer circumference of the second region.

CONSTITUTION: A first region 107 of the first conductivity type is provided on the surface of a substrate on the outer circumference of the gate 106 of a FET transistor, and a second region 109 of the first conductivity type having resistivity lower than that of the first region 107 is provided on the outer circumference of the first region 107. Furthermore, a third region 111 of the first conductivity type having resistivity lower than that of the second region 109 is provided on the outer circumference of the second region 109. For example, a gate electrode 106 is formed and then an LDD region 107 is formed by ion implantation. Subsequently, a first side wall region 108 is formed followed by formation of a first O-V region 109. Finally, a second side wall region 110 and a second O-V region 111 are formed.

COPYRIGHT: (C)1996,JPO



mimosa

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-255903

(43) 公開日 平成8年(1996)10月1日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 P
21/336				3 0 1 L

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平7-56329

(22) 出願日 平成7年(1995)3月15日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 ▲高▼村 孝士

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

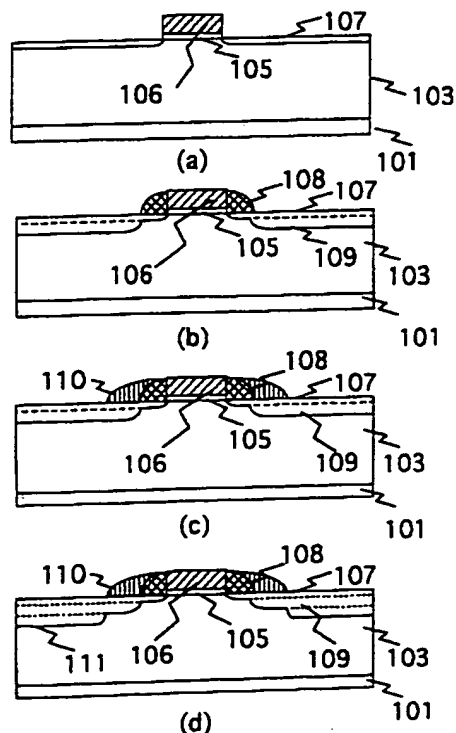
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【構成】 磷イオン打ち込み工程により、MOSデバイスのソース／ドレインに相当する第1-OV領域109を形成する。この領域の不純物量は、配線抵抗をも考慮した通常のデバイスに比べ1/50程度の量しか導入されていない。次に、シランと笑気を原料ガスとしたCVD法とドライエッチング法により第2サイドウォール領域110を形成する。その後、磷イオン打ち込み工程により、第2-OV領域111を形成する。この領域は、従来MOSデバイスのソース／ドレイン領域が兼ねていた配線領域である。この配線領域はドーズ量を通常の3倍程度にし、拡散深さを50%程度深くしてある。

【効果】 ドーピング濃度低減により、過渡増速拡散の影響を抑制し、パンチスルー特性を向上させる。しかも、配線専用領域の形成により低配線抵抗値が可能となり、高速化が実現する。



【特許請求の範囲】

【請求項 1】半導体からなる基板表面に形成された電界効果トランジスタを少なくとも一つ以上有する半導体装置において、前記電界効果トランジスタのゲート外周部に位置する前記基板表面に第一導電型を有する第一領域と、前記第一領域外周部に第一導電型を示しかつ前記第一領域と比較して比抵抗が小さい第二領域と、前記第二領域外周部に第一導電型を示しかつ前記第二領域と比較して比抵抗が小さい第三領域とを有することを特徴とする半導体装置。

【請求項 2】半導体からなる基板表面に形成された電界効果トランジスタを少なくとも一つ以上有する半導体装置の製造方法において、前記電界効果トランジスタのゲート領域をマスクとして（B、P、As、Sb、Ga、In、S、Se、Zn）のうち少なくとも一種の元素をイオン注入する工程と、前記ゲート領域周辺部に自己整合的に第一マスク領域を形成する工程と、（B、P、As、Sb、Ga、In、S、Se、Zn）のうち少なくとも一種の元素を含むイオンを少なくとも 1 回注入する工程と、前記第一マスク領域周辺部に自己整合的に第二マスク領域を形成する工程と、（B、P、As、Sb、Ga、In、S、Se、Zn）のうち少なくとも一種の元素を含むイオンを少なくとも 1 回注入する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は集積回路要素中の能動素子の構造及び能動素子の製造方法に関する。

【0002】

【従来の技術】従来、大規模集積回路（以下LSIと略称する）に用いられた金属-酸化膜-半導体（以下MOSと略称する）電界効果トランジスタ（以下FETと略称する）では以下に示すような製造方法が知られていた。NチャンネルMOSFETを例にとり、図3に基づいてその構造及び製造方法を簡単に説明する。

【0003】キャリア密度 $2 \times 10^{15} \text{cm}^{-3}$ のn型のシリコン基板301に、キャリア密度 $3 \times 10^{16} \text{cm}^{-3}$ のP-WELL領域302を形成する。次に、チャネルドープとしてボロンイオンを打ち込み、20nmのゲート酸化膜303を熱酸化法により形成する。次に400nmの燐ドープされたポリシリコンを化学気相成長法（Chemical Vapor Deposition：以下CVD法と略称する）により堆積する。次に、通常のフォトリソグラフ行程とドライエッチング行程によりゲート領域304を形成する。次に、Nch用には燐イオン注入工程を行い、自己整合的にLDD領域305を形成する（図3（a））。

【0004】次に、CVD法により酸化膜を形成した後、異方性の高いドライエッチング工程を行う。CVD法を用いることで等方性の高い酸化膜が形成し、異方性

の高いドライエッチング法を用いることでポリシリコンの両脇にのみ、酸化膜が残存し、サイドウォール領域306が形成される（図3（b））。

【0005】そして、次に燐を $5 \text{E}15 \text{cm}^{-3}$ 程度打ち込み、ソース/ドレイン領域307を形成する。また、この領域は、不純物を高濃度に含有するため比抵抗が低くなっているため、各素子間を結ぶ配線としても使用されている。

【0006】最後に、打ち込んだ不純物を活性化するためのランプアニール処理を行い、NチャンネルMOSFETが形成される（図3（c））。

【0007】以上NチャンネルMOSFETの製造工程を説明したが、これはイオン打ち込み工程でイオン種を変えることでそのままPチャンネルMOSFETの製造工程となる。

【0008】

【発明が解決しようとする課題】しかしながら、従来の構造では、最後のランプアニール処理により、過渡増速拡散という物理現象により大きく拡散し、実効チャネル長を短くしてしまい、デバイス耐圧を低下させる「パンチスルー」と呼ばれる現象が生じてしまうことが知られている。

【0009】この現象を抑えるためには、ソース/ドレイン領域の不純物濃度を低減することが有効だが、その場合配線抵抗が上昇し、デバイスとして見た場合、特定数遅延効果により、最終的なデバイスとしての速度低下という好ましくない影響を引き起こしてしまう。

【0010】そのため、パンチスルー防止と動作速度との2つの観点から見ると、ソース/ドレイン領域の不純物濃度は、両者の妥協点を使用するしか方法がなく、結果として製品の性能が低下してしまうという問題点がある。

【0011】この対策としては、配線抵抗を低減し、デバイス動作速度を向上させるために、ソース/ドレイン領域に自己整合的にチタンシリサイド等を形成する手法も提案されている。しかし、このプロセスでは、チタンを熱処理により下地のシリコンと反応させる工程で、不純物が異常拡散を起こし、やはりパンチスルーを起こし易くなることが知られており、安定したプロセスを得ることが困難であるという問題点がある。

【0012】そこで、本発明の半導体装置及びその製造方法は従来のこのような問題点を解決し、パンチスルー特性に優れ、且つ低配線抵抗値を実現するデバイス構造及びその製造方法を提供していくことを目的としている。

【0013】

【課題を解決するための手段】従来のこのような問題点を解決するため本発明の半導体装置及びその製造方法は以下に述べる特徴を有する。

【0014】（1）半導体からなる基板表面に形成され

た電界効果FETを少なくとも一つ以上有する半導体装置において、前記電界効果FETのゲート外周部に位置する前記基板表面に第一導電型を有する第一領域と、前記第一領域外周部に第一導電型を示しかつ前記第一領域と比較して比抵抗が小さい第二領域と、前記第二領域外周部に第一導電型を示しかつ前記第二領域と比較して比抵抗が小さい第三領域とを有すること。

【0015】(2)半導体からなる基板表面に形成された電界効果FETを少なくとも一つ以上有する半導体装置の製造方法において、前記電界効果FETのゲート領域をマスクとして(B、P、As、Sb、Ga、In、S、Se、Zn)のうち少なくとも一種の元素をイオン注入する工程と、前記ゲート領域周辺部に自己整合的に第一マスク領域を形成する工程と、(B、P、As、Sb、Ga、In、S、Se、Zn)のうち少なくとも一種の元素を含むイオンを少なくとも1回注入する工程と、前記第一マスク領域周辺部に自己整合的に第二マスク領域を形成する工程と、(B、P、As、Sb、Ga、In、S、Se、Zn)のうち少なくとも一種の元素を含むイオンを少なくとも1回注入する工程とを有すること。

【0016】

【実施例】本発明の第一の実施例を図面を用いて説明する。図1はポリシリコンゲートを用いたNチャネルMOSFETの製造工程図である。以下、この製造工程図を用いて実施例の説明を行っていく。比抵抗率 $10\Omega\cdot\text{cm}$ のn形シリコン半導体基板101の表面を95%水蒸気雰囲気中で900℃、30分間の熱処理により膜厚50nmの酸化膜102を形成する。この酸化膜はイオン打ち込み工程で打ち込んだイオンが、異常な分布を示す現象を防ぐために必要な酸化膜である。次に、イオン打ち込み法により硼素を注入する。硼素原子の加速エネルギーは70keV、イオン打ち込み量はイオン数にして $1E13\text{cm}^{-2}$ である。

【0017】次に、窒素雰囲気中で熱拡散を行う。拡散温度は1100℃、拡散時間は7時間である。この熱処理により、深さ2.5μmのPウェル領域103が形成される。

【0018】次に、酸化膜102を緩衝弗酸でエッチングし、95%水蒸気雰囲気中で820℃、15分間の熱処理により膜厚15nmの酸化膜104を形成する。この酸化膜はイオン打ち込み工程で、打ち込んだイオンが異常な分布を示す現象を防ぐための酸化膜である。

【0019】次に、MOSデバイスの閾値電圧を調整するための硼素イオン打ち込みを行う。

【0020】硼素原子の加速エネルギーは70keV、イオン打ち込み量はイオン数にして $3E12\text{cm}^{-2}$ である。酸化膜104を緩衝弗酸でエッチングした後、95%水蒸気雰囲気中で820℃、15分間の熱処理により膜厚15nmのゲート酸化膜105を形成する。

【0021】次に、CVD法により、磷ドーパポリシリコンを400nm堆積し、通常のフォトリソグラフ・エッチング工程により、0.7μm幅のゲート電極106を形成する。

【0022】次に、磷イオン打ち込み工程により、LDD領域107を形成する(図1(a))。加速エネルギーは30keV、イオン打ち込み量はイオン数にして $1E13\text{cm}^{-2}$ である。

【0023】次に、シランと笑気を原料ガスとしたCVD法とドライエッチング法により、幅0.3μmの第1サイドウォール領域108を形成する。

【0024】次に、磷イオン打ち込み工程により、第1-OV領域109を形成する。この領域はMOSデバイスのソース/ドレインに相当する。加速エネルギーは30keV、イオン打ち込み量はイオン数にして $1E14\text{cm}^{-2}$ である(図1(b))。

【0025】次に、シランと笑気を原料ガスとしたCVD法とドライエッチング法により、幅0.3μmの第2サイドウォール領域110を形成する(図1(c))。

【0026】次に、磷イオン打ち込み工程により、第2-OV領域111を形成する。この領域は、従来MOSデバイスのソース/ドレイン領域が兼ねていた配線領域である。加速エネルギーは100keV、イオン打ち込み量はイオン数にして $1E16\text{cm}^{-2}$ である。

【0027】最後に、ランプアニール処理として、1000℃、20秒の処理を行い、不純物を活性化させ、NチャネルFETが形成される(図1(d))。

【0028】このデバイスの電気特性は、デバイスの静特性を支配する第1-OVの不純物量が配線抵抗をも考慮した通常のデバイスに比べ1/50程度の量しか導入されていないため、同じ閾値電圧に設定した場合、ゲート印加電圧=0V、ドレイン印加電圧=5Vの動作点(カットオフ動作点)での電流値で1/20以下の値に減少させる事ができた。またデバイスのソース、ドレイン間の耐圧では、30%以上の向上が実現した。

【0029】また、配線領域ではドーズ量を通常の3倍程度にし、また拡散深さを50%程度深くしているため、比抵抗が1/2以下になった。そのため、配線による遅延が大幅に減少し、システム全体としては、15%程度の高速化が実現した。

【0030】なお、第1-OVドーズ量は、この領域をソース/ドレイン領域としてのみ最適化する事ができるため、配線抵抗を考慮する必要はなく、従来のプロセスに比べ設定範囲が広くとれる。具体的には、 $1E12\text{cm}^{-2}$ から、 $2E16\text{cm}^{-2}$ 程度の範囲で設定することが可能である。 $1E12\text{cm}^{-2}$ よりもドーズ量を少なくすると、第1-OV領域の抵抗値が上昇し、MOS特性を劣化させる要因となる。また、 $2E16\text{cm}^{-2}$ よりもドーズ量を増やすと、高濃度領域特有の拡散効果により、短チャネル効果が生じ易くなるため好ましくない。超高

耐圧デバイス、超高速デバイスなど、他の特性を度外視したデバイスを目指さない場合には、このドーズ量は、 $1 \text{ E } 13 \text{ cm}^{-2}$ 程度から、 $3 \text{ E } 15 \text{ cm}^{-2}$ 程度の範囲が望ましい値となる。

【0031】また、第2- OV ドーズ量は、配線抵抗を下げることに着目して設定できる。具体的には、 $1 \text{ E } 14 \text{ cm}^{-2}$ 程度から、 $5 \text{ E } 17 \text{ cm}^{-2}$ 程度の範囲で設定する事が可能である。 $1 \text{ E } 14 \text{ cm}^{-2}$ よりもドーズ量を少なくすると、配線抵抗が大きくなるため好ましくない。また、 $5 \text{ E } 17 \text{ cm}^{-2}$ よりもドーズ量を多くしても、不純物活性化率があまり向上しなくなってくるため、配線抵抗が下がらなくなり、実用性が無くなってくる。超高耐圧デバイス、超高速デバイスなど、他の特性を度外視したデバイスを目指さない場合には、このドーズ量は、 $3 \text{ E } 15 \text{ cm}^{-2}$ 程度から、 $3 \text{ E } 16 \text{ cm}^{-2}$ 程度の範囲が望ましい値となる。

【0032】また、この実施例では、NチャネルMOSFETについて説明したが、もちろんPチャネルMOSFETについても、不純物種とイオン打ち込みエネルギーを変えるだけで同様の特性が与えられる。

【0033】次に、第二の実施例を説明する。図2は配線領域にチタンシリサイドを用いたPチャネルMOSFETの製造工程図である。以下、この製造工程図を用いて実施例の説明を行っていく。比抵抗率 $10 \Omega \cdot \text{cm}$ のn形シリコン半導体基板201の表面を95%水蒸気雰囲気中で 900°C 、30分間の熱処理により膜厚50nmの酸化膜202を形成する。この酸化膜はイオン打ち込み工程で打ち込んだイオンが異常な分布を示す現象を防ぐために必要な酸化膜である。次に、イオン打ち込み法によりリンイオンを注入する。リンイオンの加速エネルギーは 100 keV 、イオン打ち込み量はイオン数にして $7 \text{ E } 12 \text{ cm}^{-2}$ である。

【0034】次に、窒素雰囲気中で熱拡散を行う。拡散温度は 1100°C 、拡散時間は4時間である。この熱処理により、深さ $2.0 \mu\text{m}$ のNウェル領域203が形成される。

【0035】次に、酸化膜202を緩衝弗酸でエッチングし、95%水蒸気雰囲気中で 820°C 、8分間の熱処理により膜厚11nmの酸化膜204を形成する。

【0036】次に、MOSデバイスの閾値電圧を調整するための弗化硼素(BF_3)イオン打ち込みを行う。この酸化膜はイオン打ち込み工程で、打ち込んだイオンが異常な分布を示す現象を防ぐための酸化膜である。

【0037】 BF_3 イオンの加速エネルギーは 50 keV 、イオン打ち込み量はイオン数にして $8 \times 10^{14} \text{ cm}^{-2}$ である。酸化膜204を緩衝弗酸でエッチングした後、95%水蒸気雰囲気中で 820°C 、8分間の熱処理により膜厚11nmのゲート酸化膜205を形成する。

【0038】次に、CVD法により、溝ドープポリシリコンを 200 nm 堆積し、通常のフォトリソグラフ・エ

ッチング工程により、 $0.3 \mu\text{m}$ 幅のゲート領域206を形成する(図2(a))。

【0039】次に、硼素イオン打ち込み工程により、LDD領域207を形成する。加速エネルギーは 30 keV 、イオン打ち込み量はイオン数にして $1 \text{ E } 13 \text{ cm}^{-2}$ である。

【0040】次に、シランとオゾンを原料ガスとしたCVD法とドライエッチング法により、幅 $0.2 \mu\text{m}$ の第1サイドウォール領域208を形成する。

10 【0041】次に、弗化硼素(BF_3)イオン打ち込み工程により、第1- OV 領域209を形成する(図2(b))。この領域はMOSデバイスのソース/ドレインに相当する。加速エネルギーは 30 keV 、イオン打ち込み量はイオン数にして $1 \text{ E } 14 \text{ cm}^{-2}$ である。

【0042】次に、シランとオゾンを原料ガスとしたCVD法とドライエッチング法により、幅 $0.15 \mu\text{m}$ の第2サイドウォール領域210を形成する(図2(c))。

20 【0043】次に、チタン膜をスパッタ法を用いて 100 nm の厚さで形成する。続けて、 850°C 、20分の熱処理を行う。すると、チタンと下地のシリコンとが反応し、チタンシリサイド層211が形成される。続いて、チタンの選択エッチングを行うと、酸化膜上でのチタンは除去される。

30 【0044】次に、弗化硼素(BF_3)イオン打ち込み工程により、第2- OV 領域212を形成する。この領域は、従来MOSデバイスのソース/ドレイン領域が兼ねていた配線領域である。加速エネルギーは 60 keV 、イオン打ち込み量はイオン数にして $3 \times 10^{14} \text{ cm}^{-2}$ である。

【0045】最後に、ランプアニール処理として、 950°C 、5秒の処理を行い、不純物を活性化させ、PチャネルMOSFETが形成される(図2(d))。

【0046】このデバイスは、通常のデバイスに比べ1/50程度の量しか導入されていないためLDD部分の過渡増速拡散効果を非常に低く押えることができてい

る。さらに、チタンシリサイド層形成がLDD領域から十分離れた領域で行われているため、この工程に伴う増速拡散の影響も殆ど受けていない。

40 【0047】そのため、短チャネル効果が生じ難くなっており、同様の工程で作成した従来のデバイスが、ゲート長 $0.6 \mu\text{m}$ までしか良好な動作を行わず、製品レベルではゲート長 $0.7 \mu\text{m}$ のデバイスまでにしか対応できなかったのに比べ、ゲート長 $0.3 \mu\text{m}$ でも良好な動作を行うことが確認でき、製品レベルではゲート長 $0.35 \mu\text{m}$ のデバイスまでにしか対応できることが確認できた。

【0048】デバイス特性としては、ゲート長を半分にできたため、60%程度能力は向上している。

50 【0049】また、配線領域では、チタンシリサイドの

比抵抗がソース/ドレイン領域の拡散抵抗に比べ小さいため、チタンシリサイドとオーム性接触が取れる程度のドーズ量と設定している。

【0050】なお、第1-OVドーズ量は、この領域をソース/ドレイン領域としてのみ最適化する事ができるため、配線抵抗を考慮する必要はなく、従来のプロセスに比べ設定範囲が広くとれる。具体的には、 $1 \times 10^{12} \text{ cm}^{-2}$ から、 $2 \times 10^{16} \text{ cm}^{-2}$ 程度の範囲で設定することが可能である。 $1 \times 10^{12} \text{ cm}^{-2}$ よりもドーズ量を少なくすると、第1-OV領域の抵抗値が上昇し、MOS特性を劣化させる要因となる。また、 $2 \times 10^{16} \text{ cm}^{-2}$ よりもドーズ量を増やすと、高濃度領域特有の拡散効果により、短チャネル効果が生じ易くなるため好ましくない。超高耐圧デバイス、超高速デバイスなど、他の特性を度外視したデバイスを目指す場合には、このドーズ量は、 $1 \times 10^{13} \text{ cm}^{-2}$ 程度から、 $3 \times 10^{15} \text{ cm}^{-2}$ 程度の範囲が望ましい値となる。

【0051】また、第2-OVドーズ量は、シリサイドを配線に用いる場合、オーム性接触が取れる範囲で設定できる。具体的には、 $1 \times 10^{14} \text{ cm}^{-2}$ 程度から、 $2 \times 10^{16} \text{ cm}^{-2}$ 程度の範囲で設定する事が可能である。 $1 \times 10^{14} \text{ cm}^{-2}$ よりもドーズ量を少なくすると、オーム性接触の確保が特にp形に対して難しくなるため好ましくない。また、 $2 \times 10^{16} \text{ cm}^{-2}$ よりドーズ量を多くしても、配線抵抗の低下率が低くなっていく。

【0052】また、この実施例では、PチャネルMOSFETについて説明したが、もちろんNチャネルMOSFETについても、不純物種とイオン打ち込みエネルギーを変えるだけで同様の特性が与えられる。

【0053】また、第2-OV領域を形成するためのサイドウォール幅は、目指すデバイス特性によっても異なる。今回作成したデバイスでは、サイドウォール幅として $0.15 \mu\text{m}$ を採用したが、もっとゲート長の長いデバイス、例えばゲート長 $2 \mu\text{m}$ のデバイスでは、もっと大きい $0.5 \mu\text{m}$ 程度の幅を与えないと、有効な作用をしない。逆に、ゲート長が $0.2 \mu\text{m}$ のデバイスでは、計算上ではサイドウォール幅として、 $0.1 \mu\text{m}$ 程度が適当な値となる。一般的には、ゲート長の長いデバイスを用いる場合には、プロセスマージンを稼げる大きなサイドウォール幅を用い、逆の場合には、セル寸法を縮小するために小さなサイドウォール幅を用いるのが有効な手法となる。

【0054】また、ここまでの実施例では、シリコン基板の上のMOSFETについて説明したが、これはもちろんGaAs、InGaAs、InP、SiCなど、全ての半導体材料を基板としたデバイスに対し有効な技術である。また、基板として絶縁体上に半導体薄膜を形成した、いわゆるセミコンダクター・オン・インシュレータ(SOI)基板に対しても有効である。このSOIの中には、酸化膜上に単結晶シリコンやアモルファスシリコ

ンや多結晶シリコン層を形成したデバイスもちろん含まれる。

【0055】また、本実施例ではMOSFETに注目して説明したが、MOSFETに限定される理由は勿論なく、MISFET、MESFET等に対してももちろん有効である。

【0056】

【発明の効果】本発明の半導体装置を用いることで以下に示すような効果を得ることができる。

【0057】(1) FET特性とLSI配線部の電気抵抗とを独立して制御できるため、パンチスルー特性、オフ電流特性に優れたFETを、遅延時間が小さい配線で接続したLSI、つまり低消費電力・高速動作が行えるLSIが提供できる。

【0058】(2) この構造は、MOSデバイスに限らず、MES、MISデバイスあるいはガラス基板上に形成された薄膜トランジスタを含むSOIデバイスなどあらゆるタイプのFETに適用できるため、MOS構造が作りにくいGaAs、InGaAsなど化合物半導体基板上のFET、さらにSiC、C(ダイヤモンド)上のFET等に対してこの構造をとることができ、デバイス設計の自由度がきわめて向上する。

【0059】(3) サイドウォール形状が従来のLDD構造に比べ緩い勾配となるため、FET上に配置される配線金属スパッタ、層間分離膜CVDプロセスなどでの付廻りが向上し、配線の信頼性が向上する。

【0060】また、本発明の半導体装置の製造方法を用いると次に示すような効果を得ることができる。

【0061】(1) 通常のMOS構造に必須であるサイドウォール製造プロセスと同一の製造プロセスを用いる事ができ新規プロセスを採用する必要がないため、設備投資を全く行わずに本発明のプロセスを使用することができる。

【0062】(2) プロセス開発に要する期間を殆ど必要としない。

【0063】(3) 新規物質を用いていないため、製造装置の汚染などの心配が無い。

【図面の簡単な説明】

【図1】本発明の第一の実施例を説明するためのNチャネルMOSFET製造工程図。

【図2】本発明の第二の実施例を説明するためのPチャネルMOSLSI製造工程図。

【図3】従来の技術を説明するためのNチャネルMOSFET製造工程図。

【符号の説明】

101・・・n形シリコン半導体基板

102・・・酸化膜

103・・・Pウェル領域

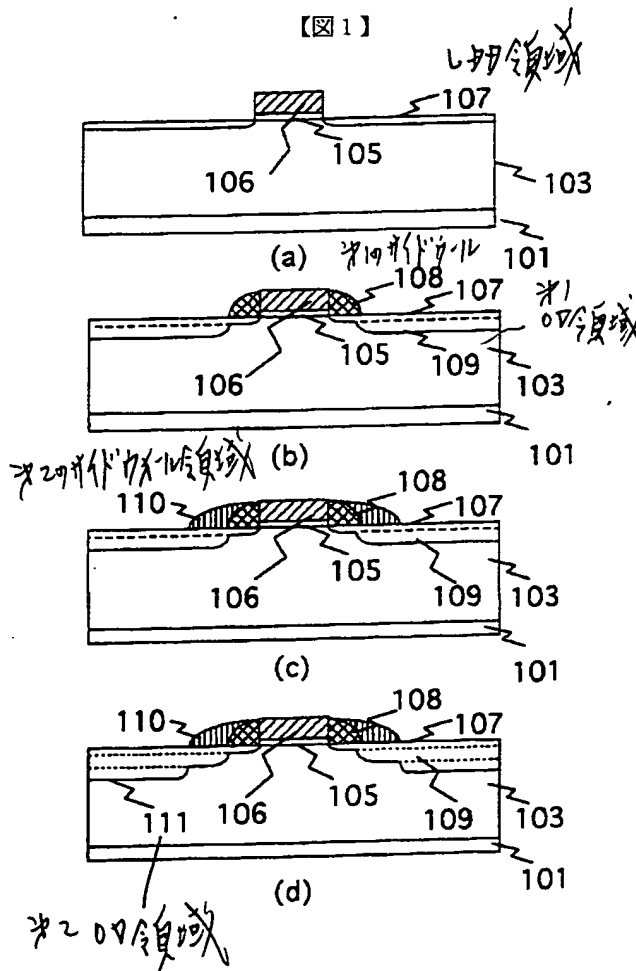
104・・・酸化膜

105・・・ゲート酸化膜

9

- 106・・・ゲート電極
- 107・・・LDD領域
- 108・・・第一サイドウォール領域
- 109・・・第一OV領域
- 110・・・第二サイドウォール領域
- 111・・・第二OV領域
- 201・・・n形シリコン半導体基板
- 202・・・酸化膜
- 203・・・Pウェル領域
- 204・・・酸化膜
- 205・・・ゲート酸化膜
- 206・・・ゲート電極
- 207・・・LDD領域

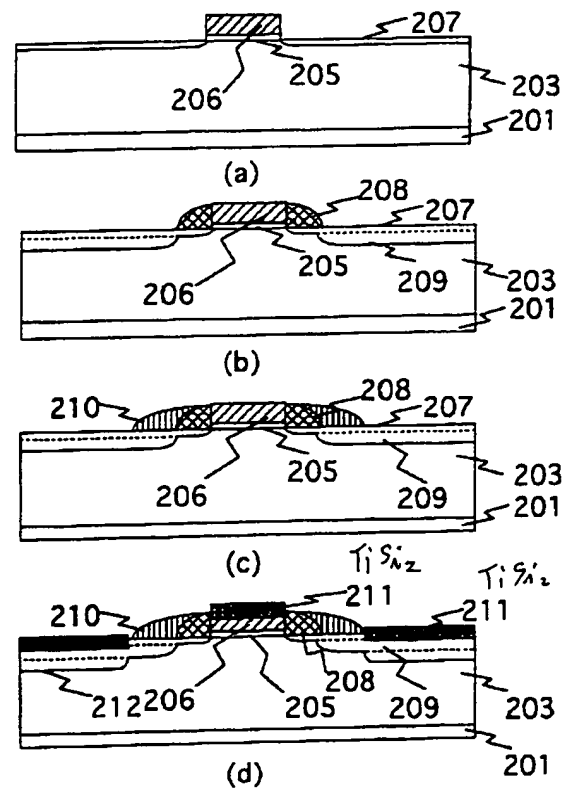
【図1】



10

- 208・・・第一サイドウォール領域
- 209・・・第一OV領域
- 210・・・第二サイドウォール領域
- 211・・・チタンシリサイド層
- 212・・・第二OV領域
- 301・・・n形シリコン半導体基板
- 302・・・Pウェル領域
- 303・・・ゲート酸化膜
- 304・・・ゲート電極
- 305・・・LDD領域
- 306・・・サイドウォール領域
- 307・・・ソース/ドレイン領域

【図2】



【図3】

